

First Hit**End of Result Set**

L23: Entry 1 of 1

File: JPAB

Sep 12, 1986

PUB-NO: JP361206079A  
DOCUMENT-IDENTIFIER: JP 61206079 A  
TITLE: DEFORMING PICTURE DISPLAYING SYSTEM

PUBN-DATE: September 12, 1986

## INVENTOR-INFORMATION:

NAME

COUNTRY

ISHIHATA, HIROAKI

ISHII, MITSUO

KAKIMOTO, MASANORI

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

APPL-NO: JP60047108

APPL-DATE: March 9, 1985

INT-CL (IPC): G06F 15/62; G06F 3/14

## ABSTRACT:

PURPOSE: To obtain a high speed deforming picture displaying system by shifting in parallel the picture data divided and stored by plural processors connected in the square lattice shape after an individual processor independently executes the deforming processing.

CONSTITUTION: Plural processing elements pp are arranged in the lattice shape, and can communicate through a communication channel between processors with all adjoining processings pp. Respective processing elements pp have a video memory, a picture data obtained as the result of processing are stored to a video memory 5, and these are outputted to a video bus regardless of the action of the processing elements pp by the control signal from the external part. Respective processing elements pp have a completion flag which goes to be a logic '1' when the processing is completed, and for this, the WIRED AND is executed to a completing signal. A host computer and respective processing elements pp can identify the condition of all processing elements pp by watching the signal on the completing signal. Respective processing elements pp divide the picture data to the window and is in charge of it.

COPYRIGHT: (C)1986,JPO&amp;Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-206079

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)9月12日

G 08 F 15/62  
3/14

6615-5B  
7341-5B

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 変形画像表示方式

⑯ 特 願 昭60-47108

⑰ 出 願 昭60(1985)3月9日

⑱ 発 明 者	石 畑 宏 明	川崎市中原区上小田中1015番地	富士通株式会社内
⑲ 発 明 者	石 井 光 雄	川崎市中原区上小田中1015番地	富士通株式会社内
⑳ 発 明 者	柿 本 正 憲	川崎市中原区上小田中1015番地	富士通株式会社内
㉑ 出 願 人	富士通株式会社	川崎市中原区上小田中1015番地	
㉒ 代 理 人	弁理士 京谷 四郎		

## 明 細 書

### 1. 発明の名称

変形画像表示方式

### 2. 特許請求の範囲

正方形状に接続された複数のプロセッサのそれぞれが分割して記憶している画像データを、個々のプロセッサが独立に変形処理を行い、しかも後に必要に応じて平行移動することにより、全体として画像の変形を並列に行うことを特徴とする変形画像表示方式。

### 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、所謂プロセッサ・アレイを使用して画像の変形を行うようにした変形画像表示方式に関するものである。

(概要)

複数のプロセッサのそれぞれが自己のビデオ・

メモリ内に部分画像データを有し、全てのビデオ・メモリ内の部分画像データをディスプレイ装置に送ることによって1画面のデータが構成されるようになった表示システムにおいて、各プロセッサが独立に自己の保持する部分画像の変形処理を行い、しかも後に必要に応じて平行移動することにより、全体としての画像の変形を並列に行う変形画像表示方式である。

〔従来技術と問題点〕

画像データを変形したいという要求は多い。例えば、リモート・センシングにより得られた画像の歪補正などである。このような変形は2次元アフィン変換と呼ばれ、下記の式で示される。

$$x' = ax + by + c$$

$$y' = dx + ey + f$$

(1)

画像データの全画素について(1)式の計算を行うことにより画像の変形を行う。全画素についての処理が必要なため、1個のプロセッサによる高速化には限界がある。

〔発明の目的〕

本発明は、上記の考察にもとづくものであって、画像データの变形処理を高速で行い得るようにした变形画像表示方式を提供することを目的としている。

(目的を達成するための手段)

そしてそのため本発明の变形画像表示方式は、正方向格子状に接続された複数のプロセッサのそれぞれが分割して記憶している画像データを、個々のプロセッサが独立に变形処理を行い、しかる後に必要に応じて平行移動することにより、全体として画像の变形を並列に行うことを特徴とするものである。

(発明の実施例)

本発明は小容量の画像メモリを持つ多数のプロセッサを並列動作させて画像の变形を高速で行う方式に関するものである。まず、本発明で利用されるプロセッサ・アレイについて説明する。第1図ないし第4図は本発明で利用されるプロセッサ・アレイを説明する図である。第1図はプロセッサ・アレイの概要を示す図であって、PPは処理エ

レメント(プロセッサ)を示している。また、矢印はプロセッサ間通信路を示している。複数の処理エレメントPPは格子状に配列されると共に各処理エレメントPPはプロセッサ間通信路を介して隣接する全ての処理エレメントPPと通信を行うことが出来る。各処理エレメントPPは、コマンド・バスを介してホスト計算機と接続され、ビデオ・バスを介してモニタ(ディスプレイ)と接続されている。ホスト計算機は、コマンド・バスを通して全ての処理エレメントPPにデータ及びプログラムを転送できると共に、任意の処理エレメントPPと通信を行うことが出来、更にコマンドにより全ての処理エレメントPPに実行を開始させ、全ての処理エレメントPPの実行終了を見て次のコマンドを送る。各処理エレメントPPはビデオ・メモリを有しており、処理の結果得られる画像データをビデオ・メモリに格納する。各処理エレメントPPのビデオ・メモリに格納されている画像データは、外部からの制御信号により処理エレメントPPの動作とは関係なくビデオ・バスに出力される。同様に

処理エレメントPPの動作とは関係なく、ビデオ・バス上の画像データをビデオ・メモリに取り込むことが出来る。各処理エレメントPPは処理が終了すると論理「1」になる終了フラグを有しており、各処理エレメントPPの終了フラグは終了信号にNOR AND されている。ホスト計算機及び各処理エレメントPPは、全処理エレメントPPの状態を終了信号上の信号を見ることにより認識することが出来る。各処理エレメントPPは、画像データを個々の大きさのウィンド(WINDOW)に分割して処理することが出来る。

第2図は処理エレメントの1実施例のブロック図である。第2図において、1はアドレス・カウンタ、2はウィンド発生部、3はプロセッサ・インタフェース、4はピクセル・カウンタ、5はビデオ・メモリ、6はプロセッサ、7はRANとROMよりなるメモリ、8はプロセッサ間インタフェース、9はホスト・インタフェースをそれぞれ示している。ビデオ系は、アドレス・カウンタ1、ウィンド発生部2、プロセッサ・インタフェース3、

ピクセル・カウンタ4及びビデオ・メモリ5などから構成されている。アドレス・カウンタ1は、画像の絶対位置を与えるカウンタであり、後述するようにX位置カウンタ及びY位置カウンタから構成されている。このアドレス・カウンタ1により、各処理エレメントPPは、所定のインタフェースから供給される画素クロック、ライン、フィールド、フレームなどの信号から画像の絶対位置を知る。ウィンド発生部2は、アドレス・カウンタ1の出力するX位置及びY位置に基づいて現在の指定位置が自分の担当領域に属しているかを調べ、属している場合は1クロック毎にピクセル・カウンタ4の計数値をカウント・アップ又はカウント・ダウンさせる。ピクセル・カウンタ4の内容は、ビデオ・メモリ5のアドレスを指定する。ビデオ・メモリ5は、例えば16Kワード24ビットのメモリであり、インタリーブを行わず、ビデオ・スピード(70ns)でデータのリード/ライトを行う。プロセッサ6のアクセスとビデオ系のアクセスが重なった場合には、プロセッサ・インタ

フェース 3 により、プロセッサ側が持たされる。メモリ 7 には、データやプログラムが格納される。プロセッサ側インタフェース 8 はプロセッサ側通信路に接続され、ホスト・インタフェース 9 はコマンド・バスに接続される。

第 3 図はアドレス・カウンタ及びウインド発生部 2 を含む部分の 1 例の詳細を示すものである。第 3 図において、10 は X 位置カウンタ、11 は Y 位置カウンタ、12 は X 方向担当領域テーブル、13 は Y 方向担当領域テーブル、14 は AND 回路、15 ないし 22 はゲートを示している。また、論理「1」の WIND は現在の座標位置が自己のウインドに属していることを示し、 $\bar{W}$  はアドレス・バス、 $\bar{D}$  はデータ・バスを示している。

X 位置カウンタ 10 及び Y 位置カウンタ 11 はアドレス・カウンタ 1 を構成している。X 位置カウンタ 10 は、外部から供給される画像クロック CLK をカウントし、画像の水平方向の開始位置を示す水平同期信号 HD によりクリアされ、水平方向の絶対位置を与える。Y 位置カウンタ 11 は、水平同期信

号 HD をカウントし、画像の垂直方向の開始位置を示す垂直同期信号 VSYNC によりクリアされ、垂直方向の絶対値を与える。

X 方向担当領域テーブル 12 及び Y 方向担当領域テーブル 13 はそれぞれ RAM から構成されている。画像の大きさが例えば  $m \times n$  のものであれば、X 方向担当領域テーブル 12 は 1 ビット  $\times m$  アドレス以上の容量を持つ RAM から構成され、Y 方向担当領域テーブル 13 は 1 ビット  $\times n$  アドレス以上の容量を持つ RAM で構成される。担当領域に属する格子点に対応する X 方向担当領域テーブル 12 のアドレスには論理「1」が書き込まれ、同様に Y 方向担当領域テーブル 13 のアドレスにも論理「1」が書き込まれる。自分の担当領域に属しない格子点については、対応する X 方向担当領域テーブル 12 のアドレス及び Y 方向担当領域テーブル 13 のアドレスのデータが同時に論理「1」になることがない。担当領域とは、X 方向担当領域テーブル 12 の出力及び Y 方向担当領域テーブル 13 の出力が共に論理「1」の領域であり、これをウインドと呼ぶ。

X 位置カウンタ 10 の内容はゲート 15 を介して X 方向担当領域テーブル 12 のアドレス端子に入力され、X 方向担当領域テーブル 12 からは X 位置カウンタ 10 の内容で指定されたアドレスのデータが読み出される。同様に、Y 位置カウンタ 11 の内容はゲート 16 を介して Y 方向担当領域テーブル 13 のアドレス端子に入力され、Y 方向担当領域テーブル 13 からは Y 位置カウンタ 11 の内容で指定されたアドレスのデータが読み出される。X 方向担当領域テーブル 12 及び Y 方向担当領域テーブル 13 から読み出されたデータは、AND 回路 14 に入力される。AND 回路 14 の出力が信号 WIND となる。プロセッサ 6 は、アドレス・バス  $\bar{A}$  及びデータ・バス  $\bar{D}$  を用いて X 方向担当領域テーブル 12 をリード/ライトすることが出来る。Y 方向担当領域テーブル 13 についても同様である。

第 4 図はピクセル・カウンタ 4 及びビデオ・メモリ 5 を含む部分の 1 例の詳細を示す図である。第 4 図において、23 はフレーム・アドレス・レジスタ、24 と 25 は AND 回路、26 ないし 30 はゲートを

それぞれ示している。なお、第 2 図、第 3 図と同一符号は同一物を示している。先に述べたように、ピクセル・カウンタ 4 は、ビデオ・メモリ 5 のアドレスを示す。AND 回路 25 は信号 WIND が論理「1」の状態の下で画像クロック CLK が入力されると、ピクセル・カウンタ 4 のクロック端子にクロックを供給する。クロック端子にクロックが入力されると、ピクセル・カウンタ 4 の計数値はカウント・アップされる。信号 WIND が論理「1」の場合には、ピクセル・カウンタ 4 の計数値がビデオ・メモリ 5 のアドレスとなり、ライト・イネーブル信号 WE が書き込みを指示している状態の下においてはビデオ・バス上の画像データがビデオ・メモリ 5 に書き込まれ、信号 RE が読み出しを指示している場合にはビデオ・バス上にビデオ・メモリ 5 からの読出データが出力される。プロセッサ 6 は、アドレス・バス  $\bar{A}$  及びデータ・バス  $\bar{D}$  を使用してビデオ・メモリ 5 をアクセスすることが出来るが、プロセッサ側によるビデオ・メモリ・アクセスは信号 WIND が論理「0」のときに行われる。フ

フレーム・アドレス・レジスタ23は、ビデオ・メモリ8に記憶された画像データの開始アドレスを保持するものであり、フレーム・アドレス・レジスタ23の内容は各フレームの最初にピクセル・カウンタ4にロードされる。

さて、(1)式は下記のように回転、拡大、縮小と平行移動の座標に分割することが出来る。

$$\begin{pmatrix} x' \\ y' \end{pmatrix} = \begin{pmatrix} a & b \\ c & d \end{pmatrix} \begin{pmatrix} x \\ y \end{pmatrix} + \begin{pmatrix} e \\ f \end{pmatrix} \quad (2)$$

回転、拡大、縮小      平行移動

第5図は処理エレメントPPの担当領域の例を示す図である。与えられた画像データを略ぼ同じ位の大きさの方形に分割し、各処理エレメントPPに割当てて、各処理エレメントPPは自分の担当する部分画像データを独自に表示し、全体として見ると、1枚の画像データとなる。

第6図は画像の回転を説明する図である。画像の回転は、画像データを与えられた位置を中心にθだけ回転させることを意味している。

る時は④の処理の後、⑤で求めた領域の平行移動を行い、その結果得られる領域を自分の担当領域とし、⑥の表示位置を変更すれば良い。なお、部分画像データの表示出力は、負論理でWIRRD ORされており、各処理エレメントPPの担当領域が重なっても、重なったデータのORが表示される。2つの処理エレメントPPの担当領域が重なった場合でも、一方の処理エレメントPPの部分画像データが黒の場合は、もう一方の処理エレメントPPの部分画像データが表示される。

(発明の効果)

以上の説明から明らかなように、本発明によれば、画像の変形を従来方式に比べ高速で行うことが可能となる。

#### 4. 図面の簡単な説明

第1図はプロセッサ・アレイの概要を示す図、第2図は処理エレメントの1実施例のブロック図、第3図はアドレス・カウンタ及びウィンド発生部を含む部分の1例の詳細を示す図、第4図はピク

#### 特開昭61-208078(4)

セル・カウンタ及びビデオ・メモリを含む部分の1例の詳細を示す図、第5図は処理エレメントの担当領域の例を示す図、第6図は画像の回転処理を説明するための図である。

① 自分の担当領域の部分画像データの4隅の位置の回転後の位置を求める。

② ①で求めた回転後の4点を含む方形(第6図の点線で示す)を求め、これを新たな担当領域とする。

③ 新たな担当領域の左上隅を表示位置として設定する。

④ 新たな担当領域の全画像についてθの回転を行い、元の部分画像データの対応する画像データを求め、その値を書き込む。もし対応する画像が無ければ黒とする。

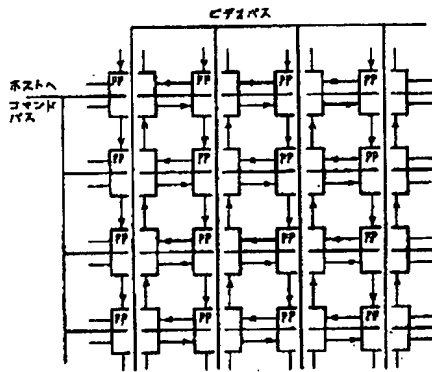
⑤ ないし④の処理を全ての処理エレメントPPが並列して行うことにより、画像の回転処理を1枚の計算機で処理する場合に比べ1/Nの時間で行うことができる。但し、Nは処理エレメントPPの設置台数である。各処理エレメントPPの担当領域が重なり合う部分は黒データが書かれており、他へ影響を及ぼすことはない。平行移動が含まれてい

セル・カウンタ及びビデオ・メモリを含む部分の1例の詳細を示す図、第5図は処理エレメントの担当領域の例を示す図、第6図は画像の回転処理を説明するための図である。

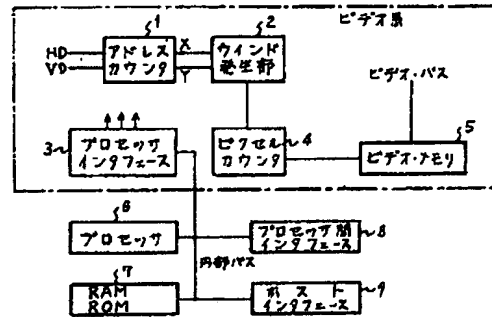
PP…処理エレメント、1…アドレス・カウンタ、2…ウィンド発生部、3…プロセッサ・インタフェース、4…ピクセル・カウンタ、5…ビデオ・メモリ、6…プロセッサ、7…RAMとROMよりなるメモリ、8…プロセッサ間インタフェース、9…ホスト・インタフェース、10…X位置カウンタ、11…Y位置カウンタ、12…X方向担当領域テーブル、13…Y方向担当領域テーブル、14…AND回路、15ないし22…ゲート、23…フレーム・アドレス・レジスタ、24と25…AND回路、26ないし30…ゲート、31…ホスト計算機、32…ディスプレイ、33…画像、34…ライン。

特許出願人 富士通株式会社  
代理人弁護士 京谷 四郎

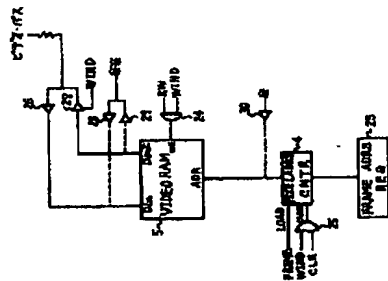
第 1 図



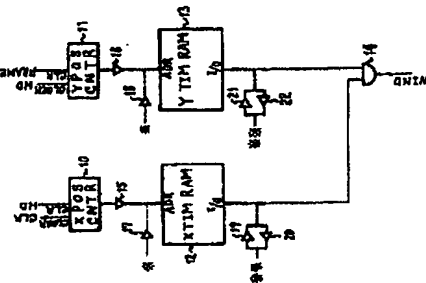
第 2 図



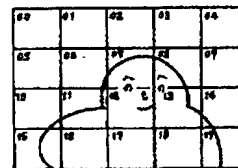
第 4 図



第 3 図



第 5 図



第 6 図

